

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Yoshiaki UEDA et al.

Serial No.: New Application

Filing Date: November 18, 2003

For: SEMICONDUCTOR LASER DEVICE...

Examiner: Not Yet Assigned

Group Art Unit: Not Yet Assigned

SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of Japanese patent application No. 2002-333509 filed November 18, 2002.

The certified priority document is attached to perfect Applicant's claim for priority.

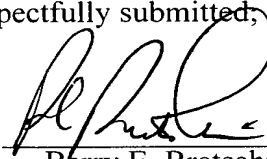
It is respectfully requested that the receipt of the certified copy attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicants petition for any required relief including extensions of time and authorize the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952** referencing **204552030700**.

Dated: November 18, 2003

Respectfully submitted,

By:



Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
1650 Tysons Boulevard, Suite 300
McLean, Virginia 22102
Telephone: (703) 760-7743
Facsimile: (703) 760-7777



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 8 日
Date of Application:

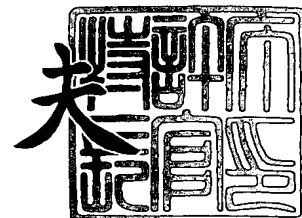
出 願 番 号 特 願 2 0 0 2 - 3 3 3 5 0 9
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 3 3 5 0 9]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 7 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 9 7 6 2

【書類名】 特許願

【整理番号】 185129

【提出日】 平成14年11月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01S 3/025

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 上田 禎亮

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 宮寄 啓介

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 和田 一彦

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 辰巳 正毅

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 森本 泰司

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体レーザ素子およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に、複数の半導体レーザが並んで形成された半導体レーザ素子において、

上記各半導体レーザは、上側のクラッド層上に、この上側のクラッド層を含むリッジ部を有し、

上記各半導体レーザにおける上記上側のクラッド層の上側であって、上記リッジ部の上面以外の領域に、上記上側のクラッド層とは異なる屈折率を有する半導体層が形成されており、

上記半導体層上に誘電体膜が積層されていることを特徴とする半導体レーザ素子。

【請求項 2】 請求項 1 に記載の半導体レーザ素子において、
上記誘電体膜は、上記リッジ部以外の部分に電流を流さない電流狭窄層として機能することを特徴とする半導体レーザ素子。

【請求項 3】 請求項 2 に記載の半導体レーザ素子において、
上記誘電体膜は、絶縁膜であることを特徴とする半導体レーザ素子。

【請求項 4】 請求項 1 に記載の半導体レーザ素子において、
上記誘電体膜の膜厚は、 $0.5\ \mu\text{m}$ 以下であることを特徴とする半導体レーザ素子。

【請求項 5】 請求項 1 に記載の半導体レーザ素子において、
上記半導体層は、上記上側のクラッド層とは逆の導電性を有することを特徴とする半導体レーザ素子。

【請求項 6】 請求項 1 に記載の半導体レーザ素子において、
上記半導体層は、 $1 \times 10^2\ \Omega \cdot \text{cm}$ 以上の抵抗値を有する高抵抗層であることを特徴とする半導体レーザ素子。

【請求項 7】 請求項 1 に記載の半導体レーザ素子において、
上記半導体層は、活性層からの光を吸収して上記リッジ内に光を閉じ込めるロスガイドとして機能することを特徴とする半導体レーザ素子。

【請求項 8】 請求項 1 に記載の半導体レーザ素子において、
上記半導体層の膜厚は $2\text{ }\mu\text{m}$ 以下であることを特徴とする半導体レーザ素子。

【請求項 9】 請求項 1 に記載の半導体レーザ素子の製造方法であって、
上記誘電体層を、化学気相成長法によって、上記リッジ部の側面および上記リッジ部における側方への突出部の裏面にも成長させることを特徴とする半導体レーザ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、一つの半導体基板上に複数の半導体レーザが形成された半導体レーザ素子およびその製造方法に関する。

【0002】

【従来の技術】

近年、光ディスクの普及が進み、その記録フォーマットも多岐にわたってきている。異なる規格の光ディスクを光学的に読み取る場合には、異なる規格のレーザが必要である。例えば、CD(コンパクトディスク)とDVD(デジタル多用途ディスク)との2種類の光ディスクを読み取るためには、発光波長が 780 nm 付近の赤外レーザと発光波長が 650 nm 付近の赤色レーザとが必要である。

【0003】

その場合に、ピックアップの小型化や低価格化のために、一つのパッケージで二つの波長のレーザ光を放射することができる半導体レーザ素子の出現が求められている。

【0004】

また、光ディスク以外にも、レーザビームプリンタや記録再型の光ディスクにおいて、一つのパッケージで二つの波長のレーザ、あるいは、同じ波長でも低出力用と高出力用との二種類のレーザを放射することができる半導体レーザ素子の出現が求められている。さらには、同じ波長で同じ出力の2ビームレーザも考えられる。

【0005】

これらの要望に応じるために、二つの半導体レーザを一つの半導体基板上に集積する技術が開発されている。ところが、単一の半導体基板上に二つの異なる特性のレーザを形成する場合は、一度の結晶成長では実現できないことが多い。そのため、単一の半導体基板上に複数回の結晶成長を行なう方法が用いられる(例えば、特許文献1参照)。すなわち、先に、半導体基板上に一方のレーザ構造を結晶成長し、それに重ねて他方のレーザ構造を成長形成し、先に成長したレーザ構造上に後から形成されたレーザ構造を除去するのである。その際に、先に結晶成長したレーザ構造に重ねて他方のレーザ構造を成長させる場合には、1回目に結晶成長したレーザ構造を部分的にエッチングして上記半導体基板を露出させ、その上に2回目の結晶成長を行うようにしている。

【0006】

図5に、GaAs基板上にAlGaAs系半導体レーザとAlGaInP系半導体レーザとの二つの半導体レーザを成長する場合の素子断面を示している。先ず、図5(a)に示すように、n型GaAs基板1上に、n型GaAsバッファ層2, n型AlGaAs第1クラッド層3, AlGaAs第1ガイド層4, 多重量子井戸活性層5, AlGaAs第2ガイド層6, p型AlGaAs第2クラッド層7, p型GaAsコンタクト層(Znドープ)8で成るAlGaAs系半導体レーザ9が成長される。そして、図5(a)のごとく、AlGaAs系半導体レーザ9の一部の領域がエッチングによってn型GaAs基板1が露出するまで除去される。

【0007】

そうした後に、図5(b)に示すように、全面にn型GaAsバッファ層11, n型AlGaInP第1クラッド層12, AlGaInP第1ガイド層13, 多重量子井戸活性層14, AlGaInP第2ガイド層15, p型AlGaInP第2クラッド層16, p型GaAsコンタクト層17で成るAlGaInP系半導体レーザ18が成長される。

【0008】

次に、図5(c)に示すように、後に形成されたAlGaInP系半導体レーザ18における先に形成されたAlGaAs系半導体レーザ9上に重なって形成されている領域をエッチングによって除去する。さらに、上記n型GaAs基板1上におけ

るAlGaAs系半導体レーザ9とAlGaInP系半導体レーザ18との境界部分がn型GaAs基板1が露出するまで除去されて、上記n型GaAs基板1上に、AlGaAs系半導体レーザ9とAlGaInP系半導体レーザ18とが並んで配置された半導体レーザ素子が形成される。

【0009】

そうした後に、図6(d)に示すように、上記AlGaAs系半導体レーザ9のp型GaAsコンタクト層8およびp型AlGaAs第2クラッド層7の途中までを、中央部を紙面に垂直方向に所定幅だけ残してエッチング除去して、上記中央部にストライプ状のリッジ部10を形成する。それと同時に、AlGaInP系半導体レーザ18のp型GaAsコンタクト層17およびp型AlGaInP第2クラッド層16の途中までをエッチング除去して、中央部にストライプ状のリッジ部20を形成する。

【0010】

その後、図6(e)に示すように、上記AlGaAs系半導体レーザ9およびAlGaInP系半導体レーザ18を含む全面に互って、n型GaAs電流狭窄層21を成長させる。そうした後、図6(f)に示すように、リッジ部10、20の上部と素子分離部22とにおける不要なn型GaAs電流狭窄層21をエッチングによって除去し、リッジ部10、20のみに電流が流れるようにする。

【0011】

その後、図6(g)に示すように、上記AlGaAs系半導体レーザ9上全面に、p型AuZn/Au電極23を形成する。それと同時に、AlGaInP系半導体レーザ18上全面に、p型AuZn/Au電極24を形成する。さらに、n型GaAs基板1の裏面全体にn型AuGe/Ni電極25を形成する。

【0012】

こうして、図6(g)に示すように、一つのn型GaAs基板1上にAlGaAs系半導体レーザ9とAlGaInP系半導体レーザ18との二つの半導体レーザが集積された半導体レーザ素子が形成されるのである。

【0013】

【特許文献1】

特願 2002-112155 号公報

【0014】

【発明が解決しようとする課題】

しかしながら、上記従来の単一の半導体基板上に複数回の結晶成長を行なう半導体レーザ素子の製造方法には、以下のような問題がある。すなわち、図 6 (e) に示すように、n 型 GaAs 電流狭窄層 21 は、AlGaAs 系半導体レーザ 9 および AlGaInP 系半導体レーザ 18 を含む全面に互って成長されるため、n 型 GaAs 電流狭窄層 21 はリッジ部 10, 20 上にも形成される。したがって、リッジ部 20, 21 に電流が流れるように、リッジ部 10, 20 上に形成された n 型 GaAs 電流狭窄層 21 を除去する必要がある。その場合の除去は、リッジ部 10, 20 の上部および素子分離部 22 以外の領域をレジストによって保護して、露出しているリッジ部 10, 20 の上部および素子分離部 22 のみをエッチングすることによって行う。

【0015】

しかしながら、図 7 に示すように、上記リッジ部 10, 20 (図では AlGaAs 系半導体レーザ 9 側のリッジ部 10 で代表している) の上部に形成される不要な n 型 GaAs 電流狭窄層 21 は、リッジ部 10, 20 の上面の幅を略底辺とする台形の形状に成長して行き、n 型 GaAs 電流狭窄層 21 の厚みが増すに従って台形は高くなりより三角形に近い形状になって行く。

【0016】

そのために、図 8 (リッジ部 10 で代表) に示すように、この三角形に近い形状の不要な n 型 GaAs 電流狭窄層 21 をエッチングで除去する場合、エッチングは略均等に進むため、リッジ部 10, 20 の上面を完全に露出させるためには、より深くエッチングする必要がある。そのために、図 8 (a) に示すように、リッジ部 10, 20 上面の縁部に沿った n 型 GaAs 電流狭窄層 21 の厚みが薄い部分では、図 8 (b) に示すように、エッチングが p 型第 2 クラッド層 7, 16 にまで達して、リッジ部 10, 20 の p 型第 2 クラッド層 7, 16 が露出してしまう。

【0017】

そうすると、レーザ発光する活性層近傍が露出して、レーザ光の閉じ込めが不

安定になる。また、レーザ特性も悪化するのである。尚、図8中の26はレジストである。

【0018】

そのために、不要なn型GaAs電流狭窄層21をエッチングする場合には、p型第2クラッド層7,16が露出しないようにする必要がある、上記エッチングには非常に高度な制御性を伴うのである。さらに、単一の半導体基板上に複数の半導体レーザを集積して形成する場合には、複数のリッジ部に対してエッチングの制御を同時に行う必要がある、上記不要なn型GaAs電流狭窄層21のエッチングが更に困難になるのである。

【0019】

上述のような問題の対策として、図9(リッジ部10で代表)に示すように、リッジ部10,20上におけるn型GaAs電流狭窄層21で成る台形の高さを低く抑えるために、成長させるn型GaAs電流狭窄層21の膜厚を薄くする方法が考えられる。ところが、n型GaAs電流狭窄層21の膜厚を薄くするに従って、電流がリッジ部10,20外にも漏れ出して電流の閉じ込め効果がなくなってしまう。その場合には、漏れ電流が大きくなって信頼性が低下し、更にはレーザ発振が得られなくなる場合が生ずる。

【0020】

また、図9(b)に示すように、上記リッジ部10,20形成時のエッチング(図6(d)参照)において、p型GaAsコンタクト層8,17とp型第2クラッド層7,16との組成の差によって、p型GaAsコンタクト層8,17に庇のような迫り出しができる場合がある。この状態において、MBE(分子線エピタキシー)法によってn型GaAs電流狭窄層21を薄く形成した場合には、図9(b)に示すように、p型GaAsコンタクト層8,17における庇の裏面側には、n型GaAs電流狭窄層21は成長されないことになる。その場合には、リッジ部10,20を構成しているp型GaAsコンタクト層8,17およびp型第2クラッド層7,16の側面はn型GaAs電流狭窄層21で覆われず、図8(b)の場合と同様に、p型第2クラッド層7,16が露出してしまうという問題がある。

【0021】

そこで、この発明の目的は、電流閉じ込め効果を失わず、p型第2クラッド層を露出させず、安定して容易に形成できる複数の半導体レーザを有する半導体レーザ素子を提供することにある。

【0022】

【課題を解決するための手段】

上記目的を達成するため、この発明の半導体レーザ素子は、半導体基板上に並んで形成された複数の半導体レーザにおける上側のクラッド層上にこの上側のクラッド層を含むリッジ部を有し、上記各半導体レーザにおける上記上側のクラッド層の上側であって、上記リッジ部の上面以外の領域に、上記上側のクラッド層とは異なる屈折率を有する半導体層が形成されており、上記半導体層上には誘電体膜が積層されている。

【0023】

上記構成によれば、上記リッジ部の上面以外の領域に形成されている上記上側のクラッド層とは異なる屈折率を有する半導体層は、上記クラッド層に光を閉じ込める横モード制御層として機能する。また、上記半導体層上に積層される誘電体膜は、上記リッジ部以外に電流を流さない電流狭窄層として機能する。したがって、上記半導体層は電流狭窄層として機能する必要が無く、横モード制御層として機能できる範囲内で薄くすることが可能になる。

【0024】

したがって、上記リッジ部上に形成される半導体層は略平坦となり、上記リッジ部上の不要な半導体層を除去する際のエッチングが容易になる。その結果、深いエッチングを行う必要が無く、上記リッジ部側面の上記クラッド層の露出が防止されて上記クラッド層への光の閉じ込めが安定して行われる。

【0025】

また、1実施例の半導体レーザ素子では、上記誘電体膜を、上記リッジ部以外の部分に電流を流さない電流狭窄層として機能するようにしている。

【0026】

この実施例によれば、上記誘電体膜は上記リッジ部以外に電流を流さない電流狭窄層として機能する。したがって、上記半導体層を横モード制御層として機能

できる範囲内で薄くすることが可能になり、上記リッジ部上において略平坦に形成される。

【0027】

また、1実施例の半導体レーザ素子では、上記誘電体膜を絶縁膜で構成している。

【0028】

この実施例によれば、上記誘電体膜を絶縁膜で構成している。したがって、上記誘電体膜は上記リッジ部以外に電流を流さない電流狭窄層として機能する。

【0029】

また、1実施例の半導体レーザ素子では、上記誘電体膜の膜厚を $0.5\mu\text{m}$ 以下にしている。

【0030】

この実施例によれば、上記誘電体膜の膜厚を $0.5\mu\text{m}$ 以下にしているので、上記リッジ部上の不要な半導体層を除去する際のエッチングによって容易に除去される。さらに、上記誘電体膜に十分な放熱性を持たせることができる。

【0031】

また、1実施例の半導体レーザ素子では、上記半導体層を、上記上側のクラッド層とは逆の導電型を有するようにしている。

【0032】

この実施例によれば、上記半導体層は、上記クラッド層とは逆の導電型を有しているので、上記リッジ部に対する電流閉じ込め効果が更に向上し、より安定した発光を得ることができる。

【0033】

また、1実施例の半導体レーザ素子では、上記半導体層を、 $1 \times 10^2 \Omega \cdot \text{cm}$ 以上の抵抗値を有する高抵抗層で構成している。

【0034】

この実施例によれば、上記半導体層を高抵抗層で構成しているので、上記リッジ部に対する電流閉じ込め効果が更に向上し、より安定した発光を得ることができる。

【0035】

また、1実施例の半導体レーザ素子では、上記半導体層を、活性層からの光を吸収して上記リッジ内に光を閉じ込めるロスガイドとして機能するようにしている。

【0036】

この実施例によれば、上記半導体層は光を吸収するロスガイドとして機能するので、上記活性層に実効的な屈折率差が生ずる。したがって、上記リッジ部以外の上側のクラッド層の層厚を制御することによって、所謂自励発振レーザとして機能することが可能になる。

【0037】

また、1実施例の半導体レーザ素子では、上記半導体層の層厚を $2\mu\text{m}$ 以下にしている。

【0038】

この実施例によれば、上記半導体層の層厚を $2\mu\text{m}$ 以下にしているので、上記リッジ部上に形成される上記半導体層は略平坦となり、上記リッジ部上の不要な半導体層がエッチングによって容易に除去される。

【0039】

また、この発明の半導体レーザ素子の製造方法は、上記発明の半導体レーザ素子を製造するに際して、上記誘電体層を、CVD(化学気相成長法)によって、上記リッジ部の側面および上記リッジ部における側方への突出部(上記庇)の裏面にも成長させる。

【0040】

上記構成によれば、上記発明の半導体レーザ素子を製造するに際して、上記リッジ部の側面および上記リッジ部における庇の裏面にも確実に且つ容易に上記誘電体膜が形成される。したがって、確実に上記上側のクラッド層が保護されて、レーザ発光する活性層近傍に露出する部分が無く、上記クラッド層へのレーザ光の閉じ込めが安定して行われる。こうして、レーザ特性の悪化が防止される。

【0041】**【発明の実施の形態】**

以下、この発明を図示の実施の形態により詳細に説明する。

【0042】

・第1実施の形態

図1～図3は、本実施の形態の半導体レーザ素子を製造する際における各製造工程での断面を示す。以下、図1～図3に従って、本半導体レーザ素子の製造方法について説明する。

【0043】

先ず、図1(a)に示すように、n型GaAs基板31上に、n型GaAsバッファ層32、n型AlGaAs第1クラッド層33、AlGaAs第1ガイド層34、多重量子井戸活性層35、AlGaAs第2ガイド層36、p型AlGaAs第2クラッド層37およびp型GaAsコンタクト層(Znドープ)38がMOCVD(有機金属気相成長)によって順次成長されて、上記半導体レーザの一例としてのAlGaAs系半導体レーザ39が形成される。こうして、1回目の結晶成長が行われる。

【0044】

次に、図1(b)に示すように、上記AlGaAs系半導体レーザ39の一部の領域が、エッチングによって除去される。次に、図1(c)に示すように、全面に、n型GaAsバッファ層41、n型AlGaInP第1クラッド層42、AlGaInP第1ガイド層43、多重量子井戸活性層44、AlGaInP第2ガイド層45、p型AlGaInP第2クラッド層46およびp型GaAsコンタクト層47がMOCVDによって順次成長されて、上記半導体レーザの一例としてのAlGaInP系半導体レーザ48が形成される。こうして、2回目の結晶成長が行われる。

【0045】

尚、図1(c)においては、上記n型GaAs基板31上に成長されたAlGaInP系半導体レーザ48とAlGaAs系半導体レーザ39上に成長されたAlGaInP系半導体レーザ48との境界で、各層が直角に折れ曲がって垂直に延在するように描かれているが、実際にはなだらかな曲線を描くように形成される。

【0046】

次に、図2(d)に示すように、後に形成されたAlGaInP系半導体レーザ48における先に形成されたAlGaAs系半導体レーザ39上に重なって形成されて

いる領域、および、n型GaAs基板31上におけるAlGaAs系半導体レーザ39とAlGaInP系半導体レーザ48との境界領域49が、n型GaAs基板31が露出するまで除去されて、n型GaAs基板31上に、AlGaAs系半導体レーザ39とAlGaInP系半導体レーザ48とが並んで配置された半導体レーザ素子が形成される。

【0047】

そうした後、図2(e)に示すように、上記AlGaAs系半導体レーザ39におけるp型GaAsコンタクト層38およびp型AlGaAs第2クラッド層37の途中までを、中央部を紙面に垂直方向に所定幅だけ残してエッチング除去して、上記中央部にストライプ状のリッジ部50を形成する。同時に、AlGaInP系半導体レーザ48におけるp型GaAsコンタクト層47およびp型AlGaInP第2クラッド層46の途中までをエッチング除去して、中央部にストライプ状のリッジ部51を形成する。

【0048】

次に、図2(f)に示すように、上記境界領域49を含む全面に、上記MOCVDあるいはMBE法によって、p型第2クラッド層37、46と屈折率が異なる半導体層を形成する。本実施の形態においては、このp型第2クラッド層37、46と屈折率が異なる半導体層として、n型GaAs層52を形成する。その際におけるn型GaAs層52の成長層厚は、後に容易にエッチング除去できるように $2\mu\text{m}$ 以下(好ましくは $0.5\mu\text{m}$ 程度)にする。尚、本実施の形態においては、上記半導体層をn型GaAs層52で構成したが、 $1\times 10^2\Omega\cdot\text{cm}$ 以上の高抵抗値を有するGaAs層で構成することも可能である。

【0049】

次に、図2(g)に示すように、上記n型GaAs層52上全面に上記誘電体膜の一例としてのSiN膜53をPCVD(プラズマ化学気相成長法)によって形成する。その際におけるSiN膜53の膜厚は、厚くなる程放熱性が低下するため略 $0.5\mu\text{m}$ 以下にする。尚、本実施の形態においては、上記誘電体膜をSiN膜で構成したが、SiOやAlO等で成る絶縁膜で構成しても同様の効果を得ることができる。

【0050】

次に、図3(h)に示すように、上記リッジ部50, 51、および、AlGaAs系半導体レーザ39とAlGaInP系半導体レーザ48との境界領域49、を除く領域を、レジスト54で保護する。そして、図3(i)に示すように、リッジ部50, 51上部および境界領域49に形成されている不要なSiN膜53およびn型GaAs層52をエッチングで除去する。

【0051】

その際に、上述したように、上記n型GaAs層52は $0.5\mu\text{m}$ 程度に、SiN膜53は $0.5\mu\text{m}$ 以下に、薄く形成されている。そのために、リッジ部50, 51の上部においてn型GaAs層52およびSiN膜53は略平坦になっており、エッチングによって容易に除去できるのである。

【0052】

ところで、上記p型第2クラッド層37, 46と屈折率が異なる半導体層(n型GaAs層52)は、第2クラッド層37, 46に光を閉じ込める横モード制御層として機能する。また、誘電体膜(SiN膜53)は、リッジ部50, 51以外に電流を流さない電流狭窄層として機能する。したがって、p型第2クラッド層37, 46と屈折率が異なるn型GaAs層52は、光を閉じ込める機能を呈する範囲内で薄く形成することが可能になり、リッジ部50, 51上部の不要なn型GaAs層52を除去する際のエッチングを容易にできるのである。

【0053】

次に、図3(j)に示すように、上記AlGaAs系半導体レーザ39のリッジ部50上部とAlGaInP系半導体レーザ48のリッジ部51上部とに、p型AuZn/Au電極55, 56を形成する。さらに、n型GaAs基板31の裏面上全面にn型AuGe/Ni電極57を形成する。

【0054】

こうして、図3(j)に示すように、一つのn型GaAs基板31上にAlGaAs系半導体レーザ39とAlGaInP系半導体レーザ48との二つの半導体レーザが集積された半導体レーザ素子が形成されるのである。

【0055】

尚、上記 n 型 GaAs 層 52 は、光吸収するロスガイドとして機能するために、リッジ部 50, 51 以外の p 型第 2 クラッド層 37, 46 の層厚を制御することによって、所謂自励発振レーザも可能になる。

【0056】

以上のごとく、本実施の形態においては、上記 AlGaAs 系半導体レーザ 39 および AlGaInP 系半導体レーザ 48 にリッジ部 50, 51 を形成した後、p 型第 2 クラッド層 37, 46 と屈折率が異なる半導体層である n 型 GaAs 層 52 を $2\mu\text{m}$ 以下 (好ましくは $0.5\mu\text{m}$ 程度) の薄い膜厚で形成するようにしている。したがって、上記リッジ部 50, 51 の上部において n 型 GaAs 層 52 は略平坦であり、エッチングによって容易に除去できる。したがって、上記エッチングを深く行う必要がなく、リッジ部 50, 51 の p 型第 2 クラッド層 37, 46 および p 型 GaAs コンタクト層 38, 47 が露出するのを防止できる。

【0057】

その結果、上記第 2 クラッド層 37, 46 への光を閉じ込めを安定して行うことができ、レーザ特性の悪化を防止することができるのである。

【0058】

ところが、上記 n 型 GaAs 層 52 を薄く形成すると、電流狭窄層として機能が低下する。そこで、n 型 GaAs 層 52 上に誘電体膜として SiN 膜 53 を形成することによって、電流狭窄機能を補強するようにしている。

【0059】

こうすることによって、効果的に電流閉じ込めを行い且つ第 2 クラッド層が露出していない二つの半導体レーザを有する半導体レーザ素子を、安定して容易に形成することができるのである。

【0060】

その際に、上記 p 型第 2 クラッド層 37, 46 と屈折率が異なる半導体層を、p 型第 2 クラッド層 37, 46 とは逆の導電型を有する n 型 GaAs 層 52 としている。したがって、リッジ部 50, 51 に対する電流閉じ込め効果が更に向上して、より安定した発光を得ることができる。

【0061】

尚、上記半導体層を $1 \times 10^2 \Omega \cdot \text{cm}$ 以上の高抵抗値を有する GaAs 層で構成することも可能である。その場合には、リッジ部 50, 51 に対する電流閉じ込め効果が更に向上し、より安定した発光を得ることができる。

【0062】

・第2実施の形態

本実施の形態は、半導体レーザのリッジ部を構成する p 型 GaAs コンタクト層に庇が形成される場合に関する。図4は、本実施の形態の半導体レーザ素子を製造する際における各製造工程での断面を示す。以下、図4に従って、本半導体レーザ素子の製造方法について説明する。

【0063】

先ず、上記第1実施の形態における図1(a)～図2(e)と同様にして、単一の n 型 GaAs 基板 61 上に2回の結晶成長を行って AlGaAs 系半導体レーザ 64 および AlGaInP 系半導体レーザ 67 を形成し、両半導体レーザ 64, 67 にリッジ部 68, 69 を形成する。その際に、両半導体レーザ 64, 67 における p 型第2クラッド層 62, 65 と p 型 GaAs コンタクト層 63, 66 とにエッチングレートに違いがあると、リッジ部 68, 69 の p 型 GaAs コンタクト層 63, 66 に上記側方への突出部としての庇が形成される。こうして、図4(a)の状態に至る。

【0064】

尚、上記リッジ部 68, 69 の庇は、p 型第2クラッド層 62, 65 と p 型 GaAs コンタクト層 63, 66 とにおけるエッチングレートの違いによって発生するため、多少なりとも必ず発生する。特にウェットエッチングの時間が長い場合には、より顕著に庇が形成される。

【0065】

次に、図4(b)に示すように、上記 AlGaAs 系半導体レーザ 64 と AlGaInP 系半導体レーザ 67 との境界領域 70 を含む全面に、上記 MBE 法によって、p 型第2クラッド層 62, 65 と屈折率が異なる半導体層を形成する。本実施の形態においては、この p 型第2クラッド層 62, 65 と屈折率が異なる半導体層として、n 型 GaAs 層 71 を形成する。その際における n 型 GaAs 層 71 の成長層厚は、後に容易にエッチング除去できるように、 $0.5 \mu\text{m}$ 以下程度にする。上

記MBE法は指向性が高く、上記底に遮られたリッジ部68,69側面のp型第2クラッド層62,65およびp型GaAsコンタクト層63,66は、n型GaAs層71によって完全に覆われない。そのために、そのままでは発光部近傍が露出した状態となってレーザ特性を悪化させることになる。

【0066】

そこで、図4(c)に示すように、上記境界領域70を含む全面に、上記誘電体膜の一例としてのSiN膜72を上記PCVDによって形成する。その際におけるSiN膜72の膜厚は、厚くなる程放熱性が低下するため略 $0.5\mu\text{m}$ 以下にする。こうすることによって、露出しているリッジ部68,69側面のp型第2クラッド層62,65の表面が完全に覆われる。特に、CVD法は気相状態で成膜するために、上記底の裏側にも確実に成膜することができるのである。

【0067】

次に、上記リッジ部68,69、および、AlGaAs系半導体レーザ64とAlGaInP系半導体レーザ67との境界領域70、を除く領域を、レジスト(図示せず)で保護する。そして、図4(d)に示すように、リッジ部68,69上部および境界領域70に形成されている不要なSiN膜72およびn型GaAs層71をエッチングで除去する。

【0068】

その際に、上述したように、上記n型GaAs層71およびSiN膜72は $0.5\mu\text{m}$ 以下に薄く形成されている。そのために、リッジ部68,69の上部においてn型GaAs層71およびSiN膜72は略平坦になっており、エッチングによって容易に除去できるのである。さらに、リッジ部68,69側面のp型第2クラッド層62,65の表面はSiN膜72によって完全に覆われている。

【0069】

以後、上記第1実施の形態における図3(j)と同様にして、上記AlGaAs系半導体レーザ64のリッジ部68上部とAlGaInP系半導体レーザ67のリッジ部69上部とに、p型電極(図示せず)を形成する。さらに、n型GaAs基板61の裏面上全面にn型電極(図示せず)を形成する。

【0070】

こうして、一つの n 型 GaAs 基板 61 上に AlGaAs 系半導体レーザ 64 と AlGaInP 系半導体レーザ 67 との二つの半導体レーザが集積された半導体レーザ素子が形成されるのである。

【0071】

以上のごとく、本実施の形態においては、上記 AlGaAs 系半導体レーザ 64 および AlGaInP 系半導体レーザ 67 にリッジ部 68, 69 を形成した後、第 2 クラッド層 62, 65 と屈折率が異なる半導体層である n 型 GaAs 層 71 を 0.5 μm 以下程度の薄い膜厚で形成するようにしている。したがって、リッジ部 68, 69 の上部において n 型 GaAs 層 71 は略平坦であり、エッチングによって容易に除去できる。

【0072】

ところが、上記 n 型 GaAs 層 71 を薄く形成すると、電流狭窄層として機能が低下する。さらに、リッジ部 68, 69 の p 型 GaAs コンタクト層 63, 66 に庇が形成されている場合には、上記庇に遮られたリッジ部 68, 69 側面の p 型第 2 クラッド層 62, 65 は、n 型 GaAs 層 71 によって完全には覆われない。そこで、n 型 GaAs 層 71 上に誘電体膜として SiN 膜 72 を上記 PCVD によって形成することによって、露出しているリッジ部 68, 69 側面を完全に覆うと共に、電流狭窄機能を補強するようにしている。

【0073】

こうすることによって、上記第 2 クラッド層 62, 65 への光を閉じ込めを安定して行うことができ、レーザ特性の悪化を防止することができ、効果的に電流閉じ込めを行うことができる二つの半導体レーザを有する半導体レーザ素子を、安定して容易に形成することができるのである。

【0074】

尚、上記各実施の形態においては、同一の半導体基板上に 2 つの半導体レーザ層を形成する場合を例に説明したが、同一の半導体基板上に 3 つ以上の半導体レーザ層を形成する場合においてもこの発明を適用できることは言うまでもない。

【0075】

また、この発明は、上記各実施の形態に限定されるものではなく、成長方法や

結晶組成や導電型等は種々組み合わせても一向に差し支えない。

【0076】

【発明の効果】

以上より明らかなように、この発明の半導体レーザ素子は、半導体基板上に並んで形成された複数の半導体レーザにおける上側のクラッド層の上側であって、リッジ部の上面以外の領域に、上記クラッド層とは異なる屈折率を有する半導体層および誘電体膜を順次積層したので、上記半導体層は、上記クラッド層に光を閉じ込める横モード制御層として機能する。さらに、上記誘電体膜は、上記リッジ部以外に電流を流さない電流狭窄層として機能する。

【0077】

したがって、上記半導体層を電流狭窄層として機能させる必要は無く、横モード制御層として機能できる範囲内で薄くすることができる。そのために、上記リッジ部上に形成される上記半導体層は略平坦となり、上記リッジ部上の不要な半導体層をエッチングによって容易に除去することができる。その結果、深いエッチングによる上記リッジ部側面の上記クラッド層の露出を防止することができ、上記クラッド層への光の閉じ込めを安定して行うことができる。

【0078】

また、この発明の半導体レーザ素子の製造方法は、上記発明の半導体レーザ素子を製造するに際して、上記誘電体膜を、CVDによって上記リッジ部の側面および上記リッジ部における側方への突出部(上記庇)の裏面にも成長させるので、上記リッジ部の側面および上記リッジ部における庇の裏面が上記半導体層によって完全に覆われていない場合であっても、確実に上記上側のクラッド層を保護することができる。

【0079】

したがって、形成された半導体レーザ素子において、レーザ発光する活性層近傍に露出する部分は無く、上記クラッド層へのレーザ光の閉じ込めを安定して行うことができる。その結果、安定したレーザ特性を得ることができる。

【図面の簡単な説明】

【図1】 この発明の半導体レーザ素子における各製造工程での断面図であ

る。

【図2】 図1に続く各製造工程での断面図である。

【図3】 図2に続く各製造工程での断面図である。

【図4】 図1とは異なる半導体レーザ素子における各製造工程での断面図である。

【図5】 基板上に二つの半導体レーザが形成された従来の半導体レーザ素子における各製造工程での断面図である。

【図6】 図5に続く各製造工程での断面図である。

【図7】 図6における電流狭窄層の成長状態を示す図である。

【図8】 図7のごとく成長した電流狭窄層にエッチングを行った状態を示す図である。

【図9】 図6において電流狭窄層を薄く形成した場合の問題点の説明図である。

【符号の説明】

- 31, 61...n型GaAs基板、
- 32, 41...n型GaAsバッファ層、
- 33...n型AlGaAs第1クラッド層、
- 34...AlGaAs第1ガイド層、
- 35, 44...多重量子井戸活性層、
- 36...AlGaAs第2ガイド層、
- 37, 62...p型AlGaAs第2クラッド層、
- 38, 47, 66, 63...p型GaAsコンタクト層、
- 39, 64...AlGaAs系半導体レーザ、
- 42...n型AlGaInP第1クラッド層、
- 43...AlGaInP第1ガイド層、
- 45...AlGaInP第2ガイド層、
- 46, 65...p型AlGaInP第2クラッド層、
- 48, 67...AlGaInP系半導体レーザ、
- 49, 70...境界領域、

5 0, 5 1, 6 8, 6 9…リッジ部、

5 2, 7 1…n 型 GaAs 層、

5 3, 7 2…SiN 膜、

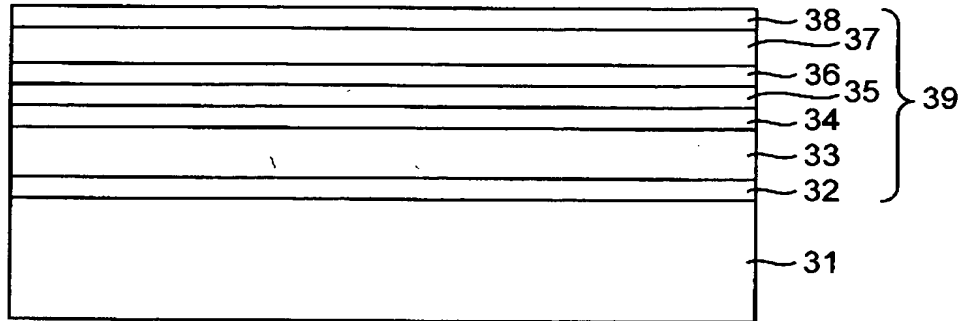
5 5, 5 6…p 型 AuZn/Au 電極、

5 7…n 型 AuGe/Ni 電極。

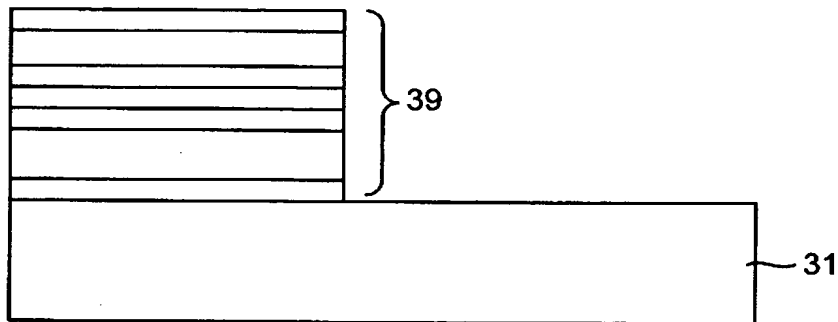
【書類名】 図面

【図 1】

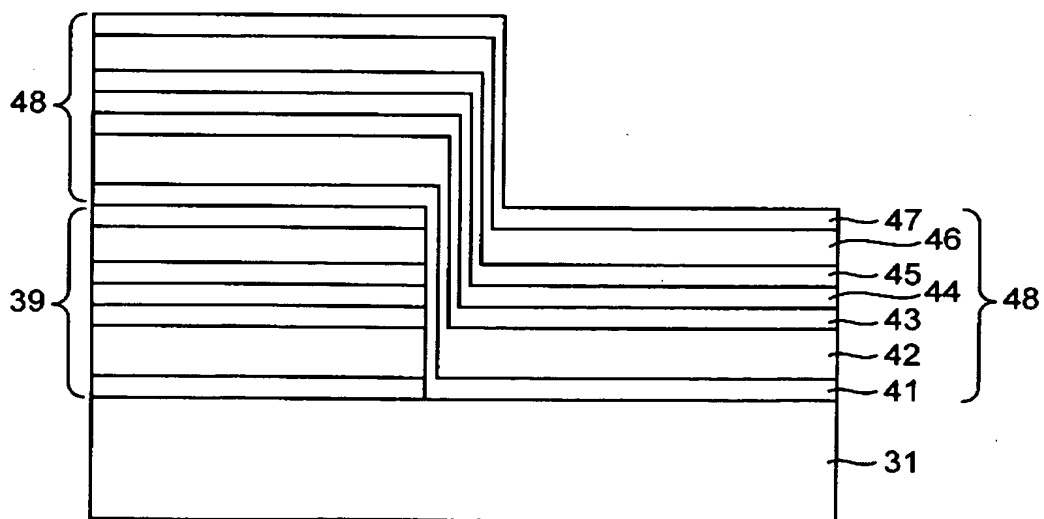
(a) 1回目の結晶成長



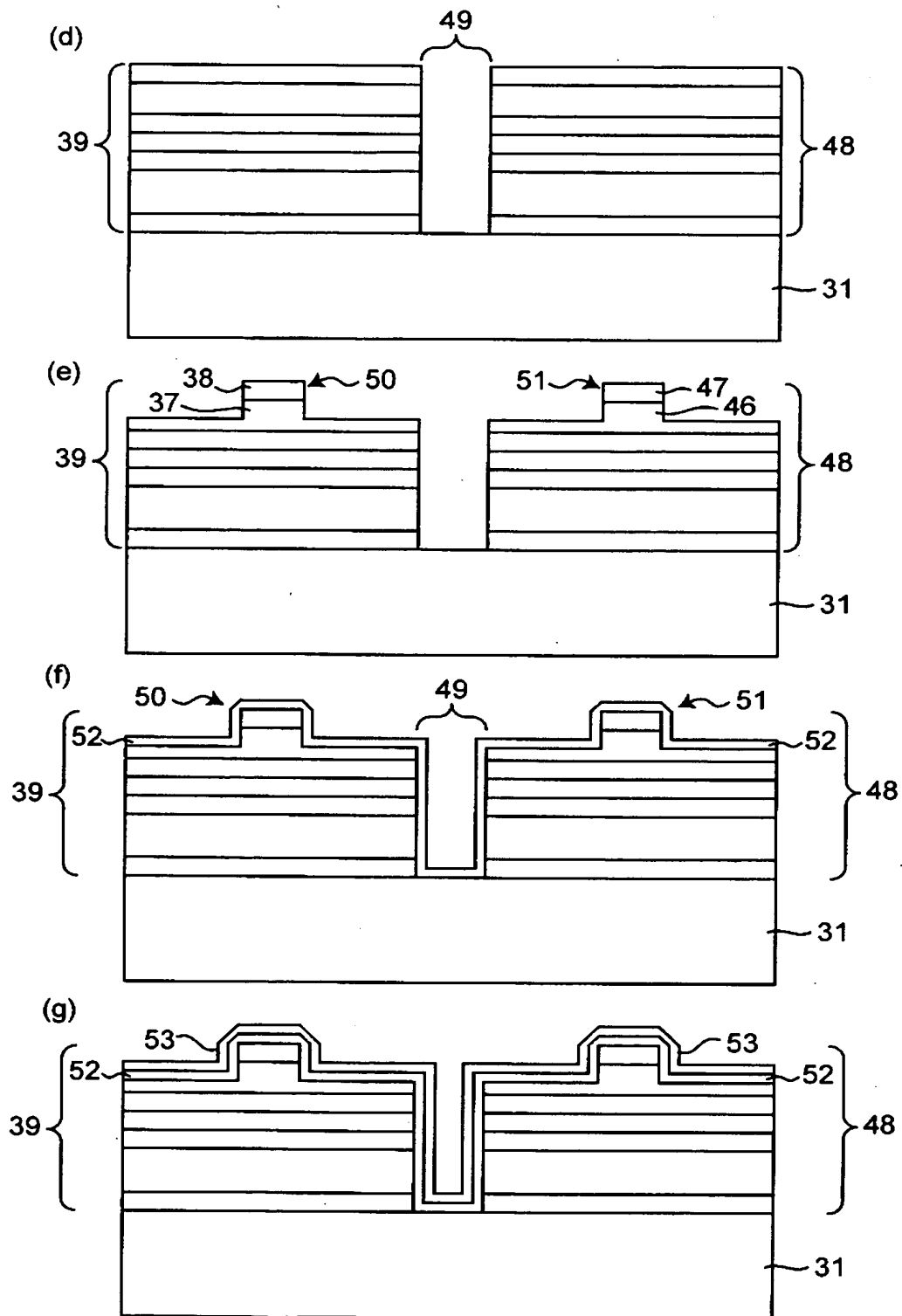
(b) 1回目の結晶成長層の部分除去



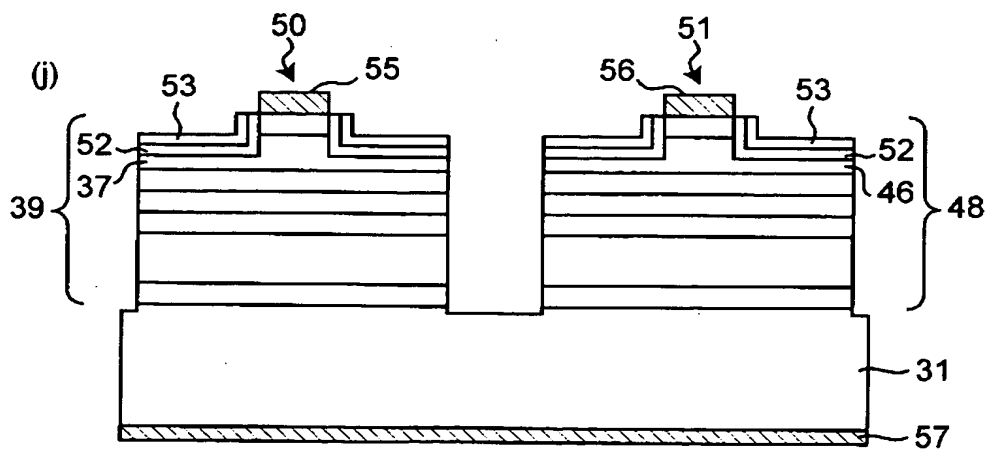
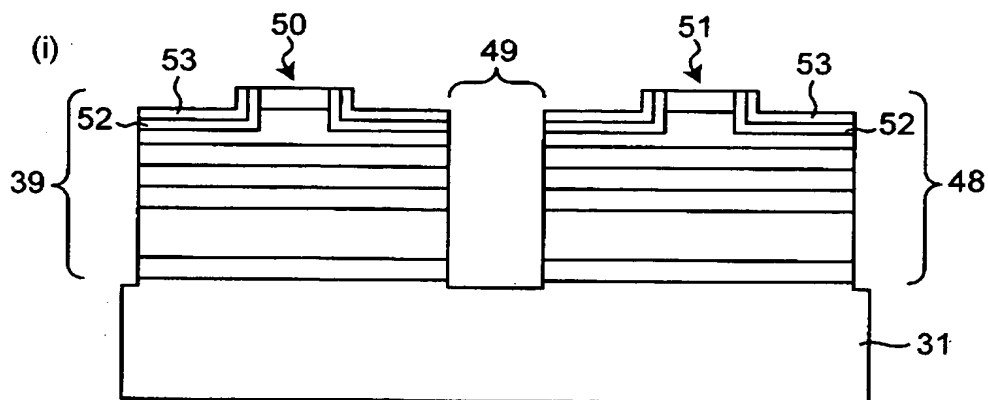
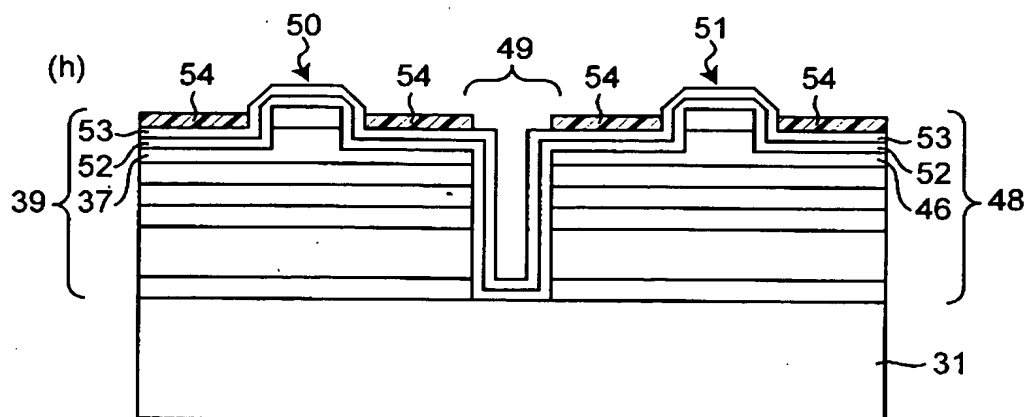
(c) 2回目の結晶成長



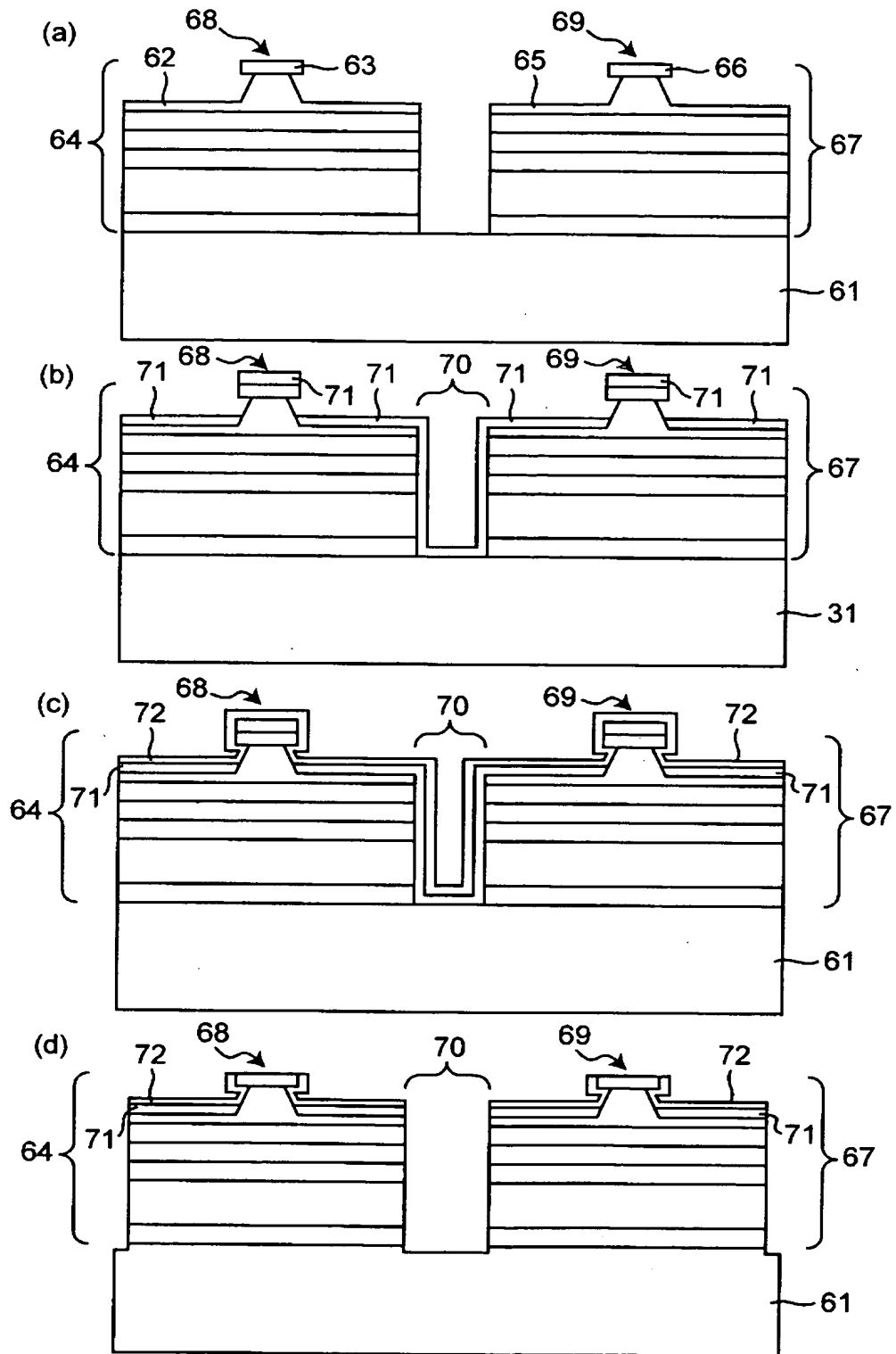
【図 2】



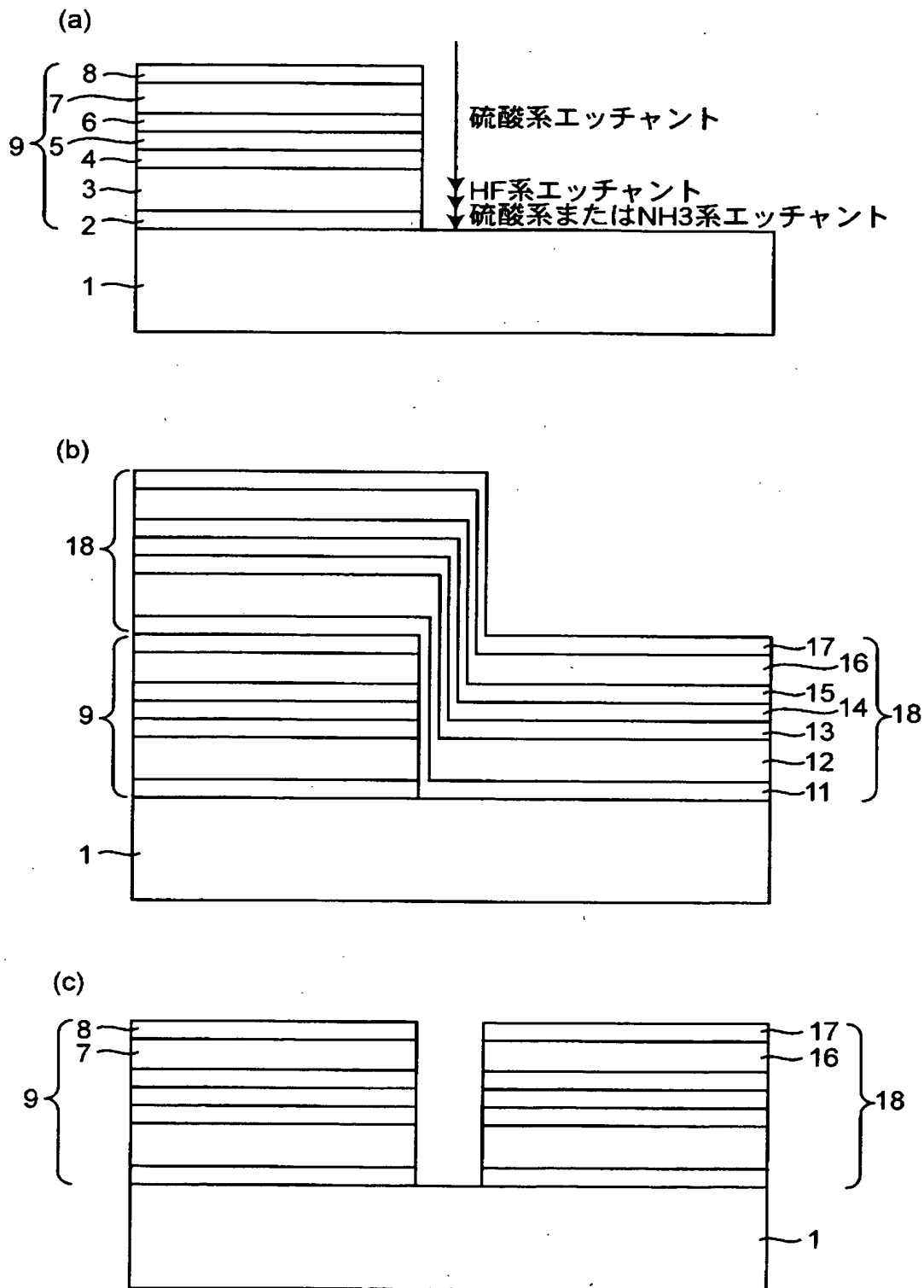
【図 3】



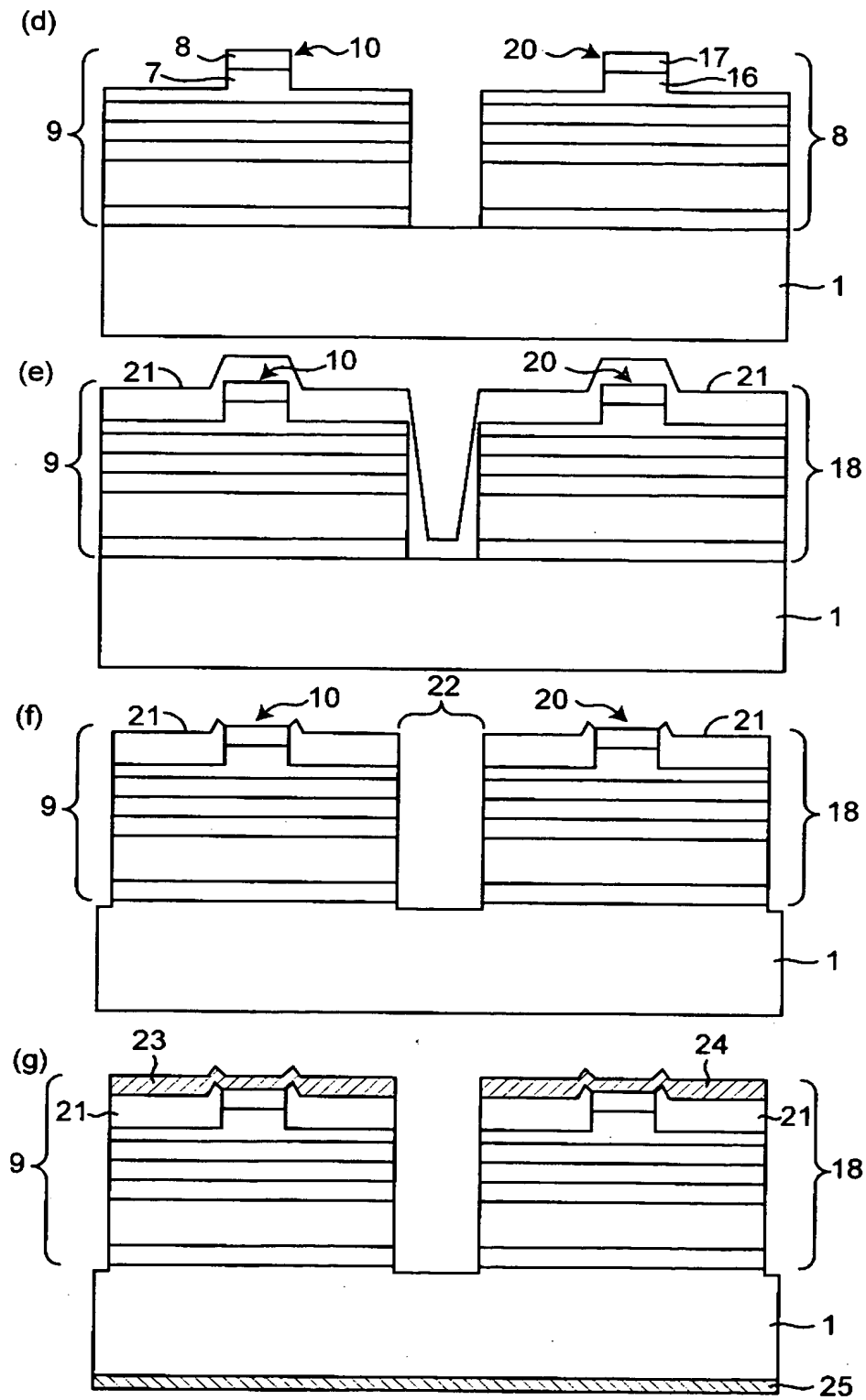
【図 4】



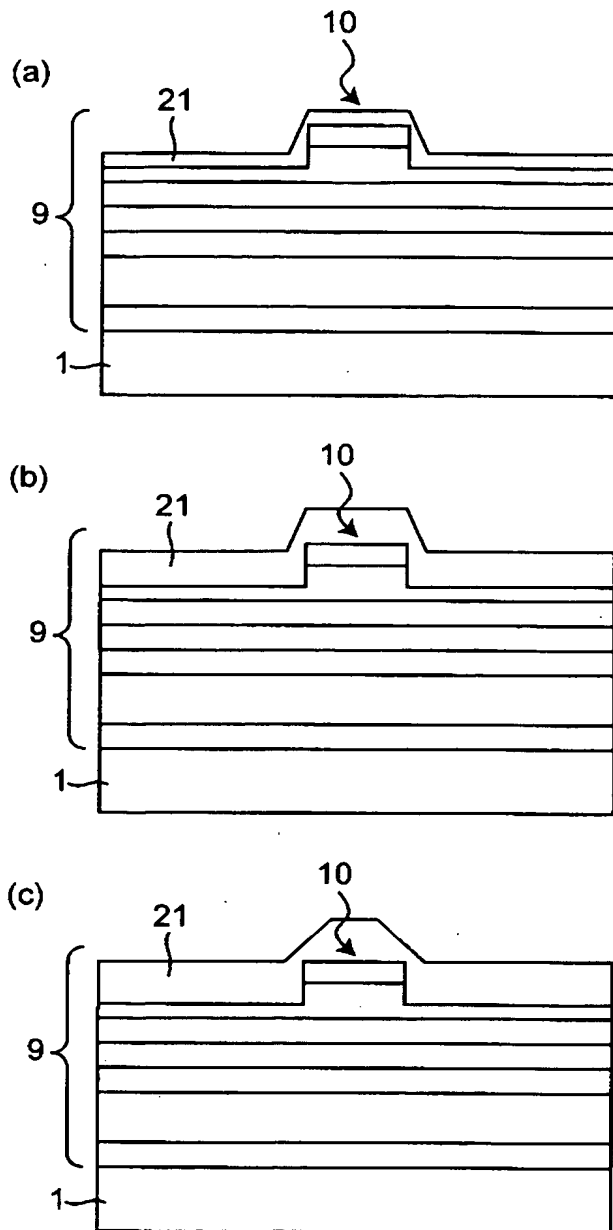
【図 5】



【図 6】



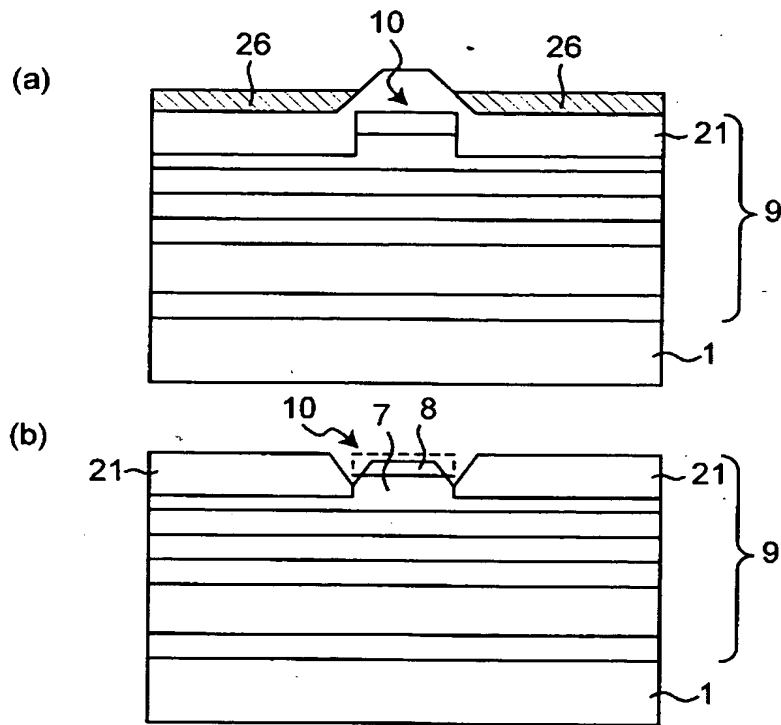
【図 7】



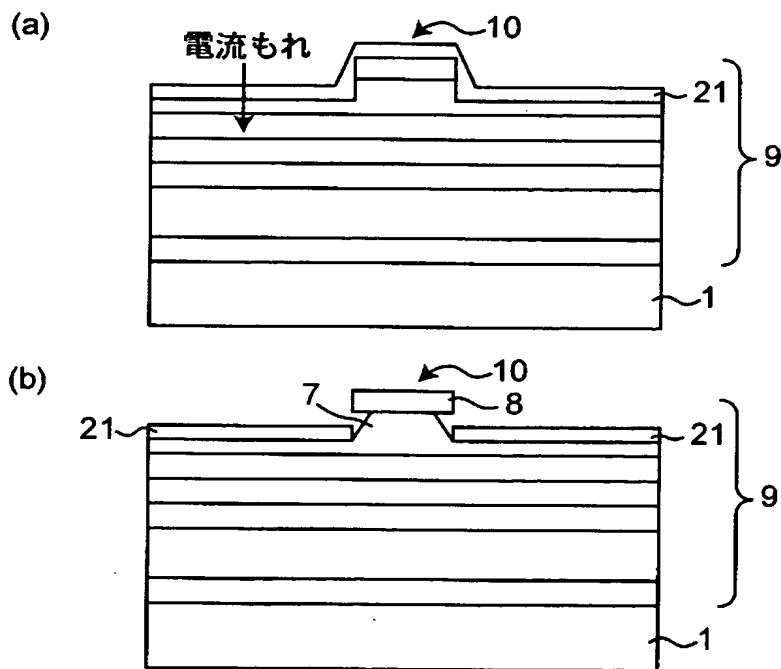
n型GaAs電流狭窄層21
が徐々に厚くなる



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 電流閉じ込め効果を失わず、第2クラッド層を露出させず、安定して容易に形成する。

【解決手段】 p型第2クラッド層37, 46とは屈折率が異なる半導体層52を、二つの半導体レーザ39, 48のリッジ部50, 51の上から、 $2\mu\text{m}$ 以下($0.5\mu\text{m}$ 程度)の薄い膜厚で形成する。こうして、リッジ部50, 51上の半導体層52を略平坦にし、エッチングで容易に除去可能にする。その結果、深いエッチングによるリッジ部50, 51のp型第2クラッド層37, 46の露出を防止して、p型第2クラッド層37, 46への光を閉じ込めを安定して行うことができる。誘電体膜53は、半導体層52上に形成されて、上記半導体層52を薄くしたことによって失われた電流狭窄機能を補強する。こうして、効果的に電流閉じ込めを行う。すなわち、二つの半導体レーザを有する半導体レーザ素子を、安定して容易に形成できる。

【選択図】 図3

特願 2 0 0 2 - 3 3 3 5 0 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社